

Searching PAJ

1/2 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338195

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

G11C 16/06
G06F 12/16

(21)Application number : 05-129295

(71)Applicant : NEC CORP

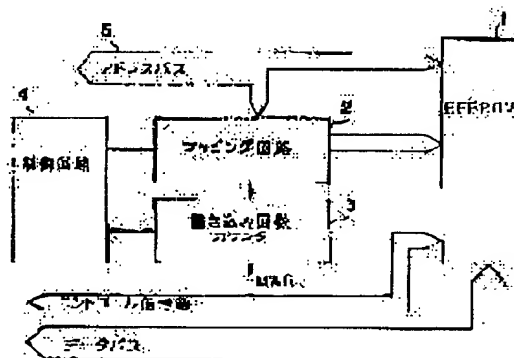
(22)Date of filing : 31.05.1993

(72)Inventor : SENOO TOSHIRO

(54) DEVICE FOR MANAGING NUMBER OF WRITING TIMES OF ELECTRICALLY ERASABLE NONVOLATILE MEMORY**(57)Abstract:**

PURPOSE: To improve the service life of an EEPROM having a small capacity by alternately using memory blocks having high writing frequencies and those having low writing frequencies.

CONSTITUTION: The storing area of an electrically erasable nonvolatile memory (EEPROM) 1 is divided into a plurality of memory blocks. A write circuit counter 3 stores the number of writing times to each memory block and a mapping circuit 2 correlates the memory blocks of an address bus 5 to those of the EEPROM 1 one by one. When the number of writing times to a certain memory block in the EEPROM 1 reaches a preset value, a control circuit 4 replaces the storing content and correlation of the memory block with those of the memory block having the minimum number of writing times in the EEPROM 1. Therefore, the storing area of the EEPROM 1 can be effectively utilized and its service life is improved, because the number of writing times to each memory block in the EEPROM 1 is made uniform.

**LEGAL STATUS**

[Date of request for examination] 31.05.1993

[Date of sending the examiner's decision of rejection] 14.05.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-338195

(43)公開日 平成6年(1994)12月6日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

G 0 6 F 12/16

3 1 0 A 7629-5B

G 1 1 C 17/ 00

3 0 9 F

3 0 9 A

審査請求 有 請求項の数6 O L (全 6 頁)

(21)出願番号

特願平5-129295

(22)出願日

平成5年(1993)5月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 妹尾 年朗

東京都港区芝五丁目7番1号 日本電気株式会社内

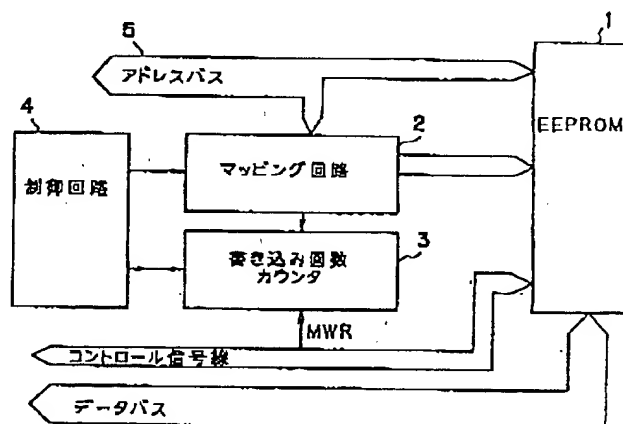
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 電氣的消去可能な不揮発性メモリの書き込み回数管理装置

(57)【要約】

【目的】 容量の小さいEEPROMにおいてもこのEEPROMの寿命の向上を図る。

【構成】 この装置は、EEPROM1の記憶領域を複数のメモリブロックに分割し、各メモリブロック毎に書き込み回数を記憶するカウンタと、アドレスバスのメモリブロックとEEPROM1のメモリブロックを1対1に対応付けるマッピング回路と、EEPROM1中のあるメモリブロックの書き込み回数が、あらかじめ設定された所定の書き込み回数に達した場合に、当該メモリブロックとEEPROM1中の書き込み回数が最小のメモリブロックとの記憶内容および対応付けを入れ替える制御回路とを有する。



(2)

特開平6-338195

1

2

【特許請求の範囲】

【請求項1】 電氣的消去可能な不揮発性メモリの記憶領域を複数のメモリブロックに分割し、各メモリブロック毎に書き込み回数を計数、記憶するカウンタと、アドレスバスのメモリブロックと前記不揮発性メモリのメモリブロックを1対1に対応付けるマッピング回路と、

前記不揮発性メモリ中のあるメモリブロックの書き込み回数が、あらかじめ設定された所定の書き込み回数に達した場合に、当該メモリブロックと前記不揮発性メモリ中の書き込み回数が最小のメモリブロックとの記憶内容および前記マッピング回路の対応付けを入れ替える制御回路とを有する電氣的消去可能な不揮発性メモリの書き込み回数管理装置。

【請求項2】 電氣的消去可能な不揮発性メモリは集積回路のメモリである請求項1記載の電氣的消去可能な不揮発性メモリの書き込み回数管理装置。

【請求項3】 電氣的消去可能な不揮発性メモリは磁気ディスクである請求項1記載の電氣的消去可能な不揮発性メモリの書き込み回数管理装置。

【請求項4】 電氣的消去可能な不揮発性メモリの記憶領域を複数のメモリブロックに分割し、各メモリブロック毎に書き込み回数を計数、記憶するカウンタと、アドレスバスのメモリブロックと前記不揮発性メモリのメモリブロックを1対1に対応付けるマッピング回路と、

前記不揮発性メモリ中のあるメモリブロックの書き込み回数が、あらかじめ前記不揮発性メモリに設定された書き込み回数の上限の k 分の1 (k は自然数)の書き込み回数の n 倍 (n は自然数で、 k の2分の1以下)に達した場合に、当該メモリブロックと前記不揮発性メモリ中の書き込み回数が最小のメモリブロックとの記憶内容および前記マッピング回路の対応付けを入れ替える制御回路とを有する電氣的消去可能な不揮発性メモリの書き込み回数管理装置。

【請求項5】 電氣的消去可能な不揮発性メモリは集積回路のメモリである請求項4記載の電氣的消去可能な不揮発性メモリの書き込み回数管理装置。

【請求項6】 電氣的消去可能な不揮発性メモリは磁気ディスクである請求項4記載の電氣的消去可能な不揮発性メモリの書き込み回数管理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電氣的消去可能な不揮発性メモリ（以下EEPROMとも記す）の書き込み回数管理装置に関し、特にEEPROMの書き込み装置に設けられるEEPROMの書き込み回数管理装置に関する。

【0002】

【従来の技術】EEPROMでは、記憶素子のデータを

書き込む回数に上限があるが、従来ではEEPROMをランダムアクセスメモリ（以下RAMと記す）の代りに使用した場合、特定のアドレスの書き込みを上限を越えて行なうと、そのアドレスでは記憶しているはずのデータが消失してしまうことがある。また、この場合にも書き込み頻度の少ないアドレスはまだ使用可能であるが、一部のアドレスの書き込み上限のためにEEPROMの素子全てを交換しなければならない。

【0003】これを解決するものとして、従来のEEPROMの書き込み回数管理装置は、例えばEEPROMを複数のメモリブロックに分割し、その内の1または数個のメモリブロックを最初の記憶領域として使用し、また各メモリブロックに書き込み回数を記憶するカウンタを設け、カウンタが上限を越えた場合は、それまでの記憶領域を使用禁止とし、未使用のメモリブロックに書き込みを開始し、順次使用するようにしていた（特開平1-264698号公報参照）。

【0004】

【発明が解決しようとする課題】この従来のEEPROMの書き込み回数管理装置では、あらかじめ未使用のメモリブロックを複数用意しておかなければならず、EEPROMの容量を大きくする必要があった。また記憶領域の中でのデータで書き込み頻度が不均一の場合、書き込み頻度に依存してメモリブロックを細かく分割管理しなければならないという問題があった。

【0005】本発明の目的は、容量の小さいEEPROMにおいてもこのEEPROMの寿命の向上を図ることができるEEPROMの書き込み回数管理装置を提供することにある。

【0006】

【課題を解決するための手段】本発明の第1の電氣的消去可能な不揮発性メモリの書き込み回数管理装置は、電氣的消去可能な不揮発性メモリの記憶領域を複数のメモリブロックに分割し、各メモリブロック毎に書き込み回数を計数、記憶するカウンタと、アドレスバスのメモリブロックと前記不揮発性メモリのメモリブロックを1対1に対応付けるマッピング回路と、前記不揮発性メモリ中のあるメモリブロックの書き込み回数が、あらかじめ設定された所定の書き込み回数に達した場合に、当該メモリブロックと前記不揮発性メモリ中の書き込み回数が最小のメモリブロックとの記憶内容および前記マッピング回路の対応付けを入れ替える制御回路とを有する。

【0007】この場合、電氣的消去可能な不揮発性メモリは、例えば集積回路のメモリや磁気ディスク等である。

【0008】本発明の第2の電氣的消去可能な不揮発性メモリの書き込み回数管理装置は、電氣的消去可能な不揮発性メモリの記憶領域を複数のメモリブロックに分割し、各メモリブロック毎に書き込み回数を計数、記憶するカウンタと、アドレスバスのメモリブロックと前記不

(3)

特開平6-338195

3

4

揮発性メモリのメモリブロックを1対1に対応付けるマッピング回路と、前記不揮発性メモリ中のあるメモリブロックの書き込み回数が、あらかじめ前記不揮発性メモリに設定された書き込み回数の上限の k 分の1 (k は自然数)の書き込み回数の n 倍 (n は自然数で、 k の2分の1以下)に達した場合に、当該メモリブロックと前記不揮発性メモリ中の書き込み回数が最小のメモリブロックとの記憶内容および前記マッピング回路の対応付けを入れ替える制御回路とを有する。

【0009】この場合、電気的消去可能な不揮発性メモリは、例えば集積回路のメモリや磁気ディスク等である。

【0010】

【作用】書き込み頻度の高いメモリブロックと書き込み頻度の低いメモリブロックを入れ替えて使用することで、不揮発性メモリの各メモリブロックへの書き込み回数を均一化する。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0012】図1は本発明の電気的消去可能な不揮発性メモリの書き込み回数管理装置の一実施例を示すブロック図、図2は本実施例のカウントアップによるマッピング変更手順を示すフローチャート、図3はカウントアップによるマッピング変更例 ($L=1000$ の場合)を示し、(a)はマッピング変更直前のマッピングを示す説明図、(b)はマッピング変更直後のマッピングを示す説明図である。

【0013】図1に示すEEPROM1は、図3

(a)、(b)に示すように、 2^m 個 (m は自然数)のメモリブロック (ブロック1-1~ブロック1- 2^m)に分割されている電気的消去可能な不揮発性メモリである。マッピング回路2は、アドレスバス5によるEEPROM1のアドレス空間を 2^m 個に区分したメモリブロック (ブロック5-1~ブロック5- 2^m)と、EEPROM1のメモリブロック (ブロック1-1~ブロック1- 2^m)とを1対1に対応付けるもので、制御回路4によりその対応 (マッピング) を変更できる。書き込み回数カウンタ3は、EEPROM1の 2^m 個のメモリブロック (ブロック1-1~ブロック1- 2^m)に対応して各メモリブロックに対する書き込み回数をそれぞれ計数し、記憶する 2^m 個のカウンタ (カウンタ3-1~カウンタ3- 2^m) からなるものである。また書き込み回数カウンタ3は、各メモリブロックの書き込み回数があらかじめEEPROM1に設定された書き込み回数の上限の k 分の1 (k は自然数)の書き込み回数 L の n 倍

(n は自然数で、 k の2分の1以下)、すなわち $n \times L$ に達した場合に、制御回路4に通知する。制御回路4は、書き込み回数カウンタ3からの上記通知を受けると、図2に示す手順で当該カウンタ (カウンタ3-Mと

異なる)に対応するメモリブロック (メモリブロック1-Mとする)と、カウンタ値が最小のカウンタ (カウンタ3-Sとする)に対応するメモリブロック (メモリブロック1-Sとする)のデータを入れ替え、かつその入れ替えに応じてマッピング回路2の対応付けを変更する。

【0014】次に、本実施例のマッピング変更手順について説明する。

【0015】ここでは、あらかじめEEPROM1に設定された書き込み回数の上限は10000回、 k は5、 L は1000回、 n は2とする。したがって、 $n \times L = 2000$ とする。

【0016】図3(a)に示すように、最初はアドレスバス5の各メモリブロック (ブロック5-1~ブロック5- 2^m)と、EEPROM1の各メモリブロック (ブロック1-1~ブロック1- 2^m)とは、1対1に対応している。図2において、EEPROM1の各メモリブロックに対する繰り返しの書き込みが開始されると、書き込み回数カウンタ3の各カウンタ3-1~3- 2^m がカウントアップする (ステップ61)。カウンタ3-1のカウント値が2000、カウンタ3-2のカウント値が1200、カウンタ3-3のカウント値が800、カウンタ3- 2^m のカウント値が1100となったとする。すなわちカウンタ3-1のカウント値が $n \times L = 2000$ に達したので、カウンタ3-1をカウンタ3-Mとする。すると制御回路4は、カウンタ値が最小のカウンタ3-S (800回)を捜し (ステップ62)、カウンタ3-Sとする。そして、カウンタ3-Mのメモリブロック (ブロック1-1)の記憶データ「A」とカウンタ3-Sのメモリブロック (ブロック1-3)の記憶データ「C」とを入れ替えた後 (ステップ63)、これらカウンタ3-Mとカウンタ3-SのEEPROM1のメモリブロックとアドレスバス5のメモリブロックとの対応 (マッピング) を変更する (ステップ64)。すなわち図3(b)に示すように、アドレスバス5のブロック5-1をEEPROM1のブロック1-3と、アドレスバス5のブロック5-3をEEPROM1のブロック1-1と対応付ける。したがって、アドレスバス5のブロック5-1はこの時点で書き込み回数が800回となり、アドレスバス5のブロック5-3は書き込み回数が2000回となる。

【0017】上述したように、EEPROM1の書き込み上限回数を10000回とすると、 $10000 \div 1000 (L) = 10$ 回となり、上記の操作を10回以上繰り返してもEEPROM1のブロック1-1の書き込み回数は10000回に至らない。

【0018】

【発明の効果】以上説明したように本発明は、書き込み頻度の高いメモリブロックと書き込み頻度の低いメモリブロックを入れ替えて使用し、EEPROMの各メモリブロックへの書き込み回数を均一化することにより、容

(4)

特開平6-338195

5

6

量の小さいEEPROMにおいても、また、特定のアドレスに対する書き込み頻度が多く、書き込み上限回数を越える用途においても、将来書き換えるための余分な記憶領域を持つことなく、このEEPROMが使用可能となり、有効に記憶領域が活用できるとともに、寿命を向上させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の電氣的消去可能な不揮発性メモリの書き込み回数管理装置の一実施例を示すブロック図である。

【図2】本実施例のカウントアップによるマッピング変

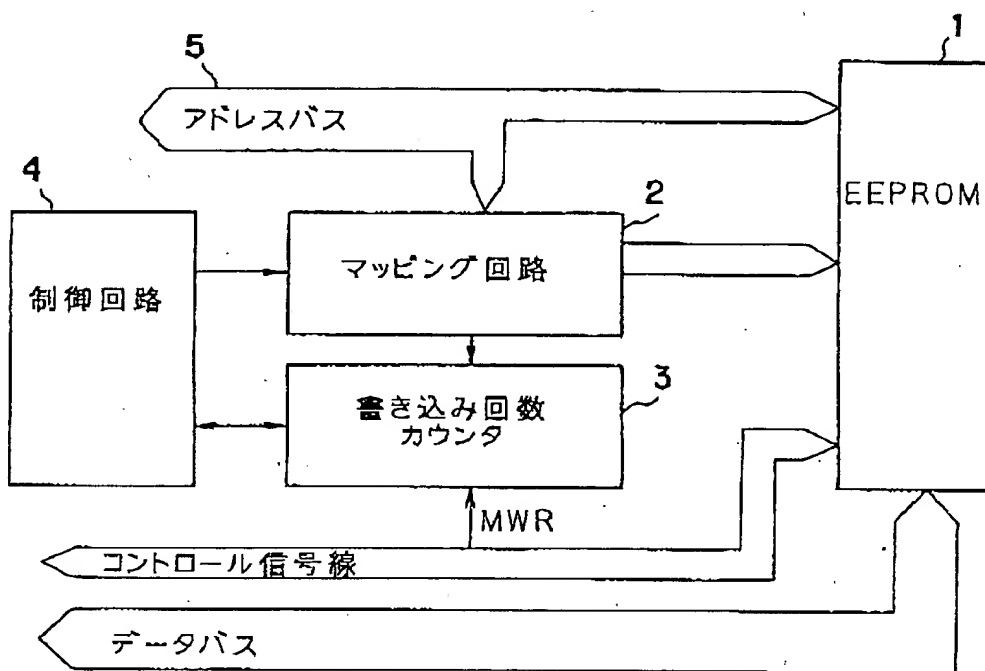
更手順を示すフローチャートである。

【図3】カウントアップによるマッピング変更例（L=1000の場合）を示し、（a）はマッピング変更直前のマッピングを示す説明図、（b）はマッピング変更直後のマッピングを示す説明図である。

【符号の説明】

- 1 EEPROM
- 2 マッピング回路
- 3 書き込み回数カウンタ
- 4 制御回路
- 5 アドレスバス

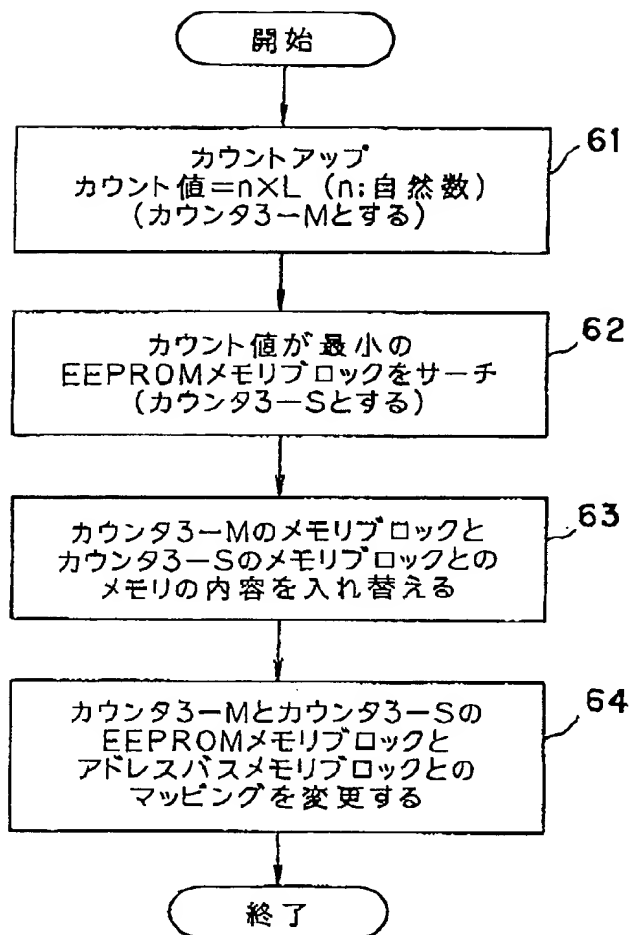
【図1】



(5)

特開平6-338195

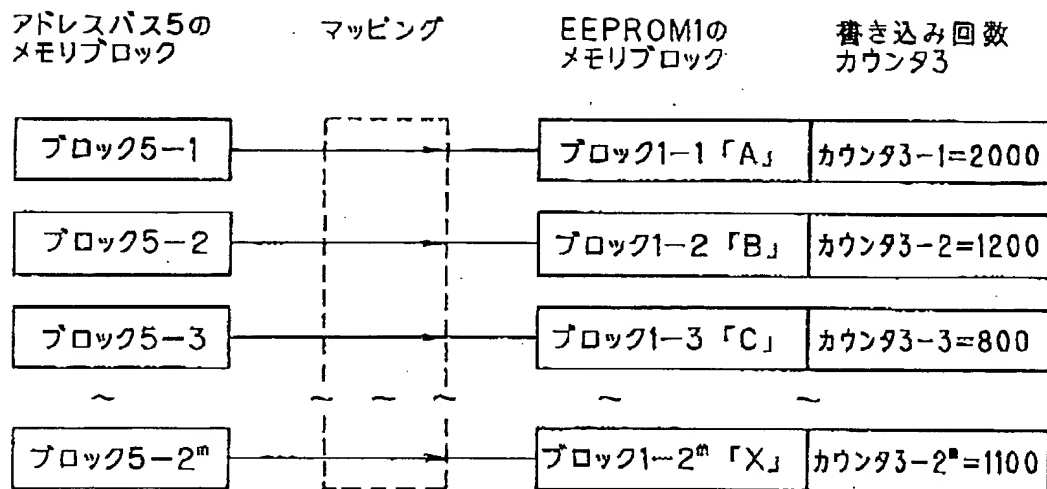
【図2】



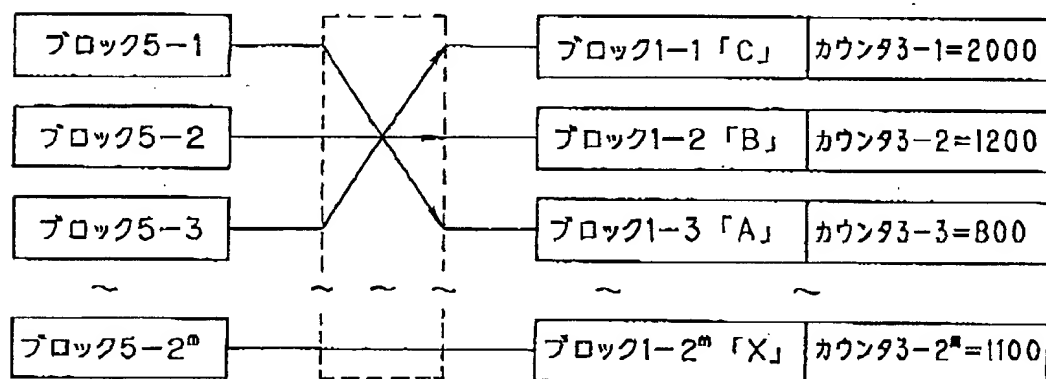
(6)

特開平6-338195

【図3】



(a)



(b)

DEVICE FOR MANAGING NUMBER OF WRITING TIMES OF ELECTRICALLY ERASABLE NONVOLATILE MEMORY

Patent Number: JP6338195
Publication date: 1994-12-06
Inventor(s): SENOO TOSHIRO
Applicant(s): NEC CORP
Requested Patent: ☐ JP6338195
Application Number: JP19930129295 19930531
Priority Number(s):
IPC Classification: G11C16/06; G06F12/16
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the service life of an EEPROM having a small capacity by alternately using memory blocks having high writing frequencies and those having low writing frequencies.

CONSTITUTION: The storing area of an electrically erasable nonvolatile memory (EEPROM) 1 is divided into a plurality of memory blocks. A write circuit counter 3 stores the number of writing times to each memory block and a mapping circuit 2 correlates the memory blocks of an address bus 5 to those of the EEPROM 1 one by one. When the number of writing times to a certain memory block in the EEPROM 1 reaches a preset value, a control circuit 4 replaces the storing content and correlation of the memory block with those of the memory block having the minimum number of writing times in the EEPROM 1. Therefore, the storing area of the EEPROM 1 can be effectively utilized and its service life is improved, because the number of writing times to each memory block in the EEPROM 1 is made uniform.

Data supplied from the esp@cenet database - I2